

CLIPPEDIMAGE= JP406196501A

PAT-NO: JP406196501A

DOCUMENT-IDENTIFIER: JP 06196501 A

TITLE: MANUFACTURE OF INSULATED-GATE FIELD-EFFECT
TRANSISTOR

PUBN-DATE: July 15, 1994

INVENTOR-INFORMATION:

NAME

YAMAZAKI, SHUNPEI

ASSIGNEE-INFORMATION:

NAME

SEMICONDUCTOR ENERGY LAB CO LTD

COUNTRY

N/A

APPL-NO: JP05098420

APPL-DATE: April 2, 1993

INT-CL (IPC): H01L021/336;H01L029/784

ABSTRACT:

PURPOSE: To obtain an MIS-FET with small recombination center density, by activating and adding hydrogen with high frequency energy, when a non- single crystal semiconductor layer is formed.

CONSTITUTION: A non-single crystal semiconductor layer containing hydrogen or halogenide is formed on an insulating member 10 by one out of a glow discharge method, a sputtering method and a vacuum vapor growth method. A gate insulating film 12, a gate electrode 11, a channel forming region 4, source regions 5, 6, and a drain region 6 are formed. Heat treatment is performed in an atmosphere of hydrogen or halogenide, which is contained. When or after non-single crystal is formed, hydrogen or halogenide is

activated and added
with high frequency or microwave energy. Either one of
hydrogen element or
halogenide is confined in a very thin semiconductor layer
in the channel
forming region, and the recombination center density is
lowered. Thereby the
leak current in the junction part of the drain region and
the channel forming
region can be reduced.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-196501

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

H 0 1 L 21/336

29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 有 発明の数2(全 7 頁)

(21)出願番号 特願平5-98420

(22)出願日 平成5年(1993)4月2日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

東京都世田谷区北烏山7丁目21番21号

(74)代理人 弁理士 加藤 恭介

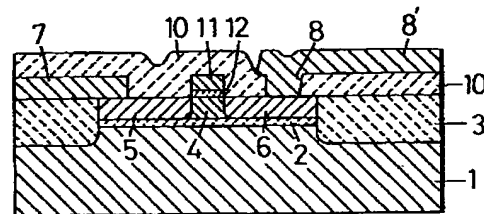
(54)【発明の名称】 絶縁ゲート型電界効果トランジスタの製造方法

(57)【要約】

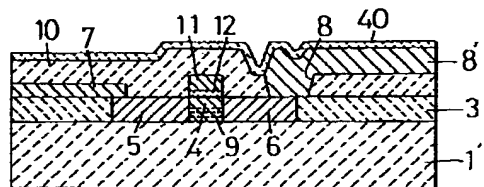
【目 的】 非単結晶半導体層にチャネル形成領域を設けても再結合中心の密度が小さい絶縁ゲート型電界効果トランジスタの製造方法。

【構 成】 先ず、絶縁部材上には、水素またはハロゲン化物を含んだ非単結晶半導体層がグロー放電法、スパッター法、減圧気相法の内の一つにより形成される。次に、当該非単結晶半導体層には、ゲート絶縁膜およびゲート電極を形成すると共に、前記ゲート絶縁膜下の前記非単結晶半導体層にチャネル形成領域と、当該チャネル形成領域を挟んでソース領域およびドレイン領域が形成される。その後、非単結晶半導体層中には、再び水素またはハロゲン化物の雰囲気中での加熱処理により水素またはハロゲン化物を含ませる。また、非単結晶半導体の形成と同時にまたは形成後、水素またはハロゲン化物を高周波エネルギーまたはマイクロ波エネルギーにより活性化させて添加させる。

(A)



(B)



【特許請求の範囲】

【請求項1】 絶縁部材上のシリコン半導体層に形成されたソース領域およびドレイン領域と、前記ソース領域およびドレイン領域との間に形成されたチャンネル形成領域と、当該チャンネル形成領域上にゲート絶縁膜を介して形成されたゲート電極と、から構成される絶縁ゲート型電界効果トランジスタの製造方法において、前記絶縁部材上に水素またはハロゲン化物を含んだ非単結晶半導体層を、グロー放電法、スパッター法、減圧気相法の内の一つにより形成する工程と、当該非単結晶半導体層に、ゲート絶縁膜およびゲート電極を形成すると共に、前記ゲート絶縁膜下の前記非単結晶半導体層にチャンネル形成領域と、ソース領域およびドレイン領域とを形成する工程と、前記工程の後、非単結晶半導体層中に再び水素またはハロゲン化物の雰囲気中での加熱処理により水素またはハロゲン化物を含ませる工程と、からなることを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項2】 基板上に設けられたP型またはN型の逆導電型を示す不純物を有する非単結晶半導体層に対し、前記非単結晶半導体の形成と同時にまたは形成後、水素またはハロゲン化物を高周波エネルギーまたはマイクロ波エネルギーにより活性化させて前記非単結晶半導体層中に添加させることを特徴とする請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、チャンネル形成領域が非単結晶半導体よりなるにもかかわらず、再結合中心の少ない絶縁ゲート型電界効果トランジスタの製造方法に関するものである。なお、本明細書において、絶縁ゲート型電界効果トランジスタを単に「MIS-FET」と記載する。また、本明細書において、「非単結晶」とは、多結晶およびアモルファスを意味する。

【0002】

【従来の技術】従来、半導体装置は、単結晶の半導体基板を基にして、MIS-FETまたはバイポーラ型のトランジスタを作製していた。さらに、前記MIS-FETまたはバイポーラ型のトランジスタは、必要に応じて、キャパシタ、抵抗、ダイオード等と共に同一基板上に複合化されて集積装置が製造されていた。特に、MIS-FETにおけるゲート電極下のチャンネル形成領域、またバイポーラ型のトランジスタにおけるベース、コレクタは、キャリアのライフタイムが微妙に影響を与えるため、その領域のキャリアである電子またはホールに対する再結合中心の十分小さい濃度の単結晶半導体が用いられていた。

【0003】また、チャンネル形成領域とドレイン領域との間に加える逆方向バイアス電圧に対し、その接合部の逆方向耐圧におけるソフト・ブレイクダウン（電圧が急峻に下がらず、緩やかに下がる）、またはリーク増大は、格子欠陥その他の格子不整、不対結合手による再結合中心がそれらの悪化の主因であった。さらに、単結晶半導体の代わりに、非単結晶半導体を用いたMIS-FETは、Solid State Electronics, 1972, Vol.15p.789-799において知られている。そして、上記非単結晶半導体は、低い温度でしかもグロー放電法、スパッター法、減圧気相法等の簡単な方法によって得られる。

【0004】

【発明が解決しようとする課題】一つの基板上に複数の、たとえばMIS-FETを設ける場合には、各素子間を絶縁する必要がある。そして、他のMIS-FETは、前記絶縁膜上に形成された半導体層に設けられる。しかし、前記絶縁基板あるいは絶縁膜上にシリコンの半導体層を形成した場合、絶縁基板または絶縁膜内の不純物が一部半導体層中に侵入し、その部分が単結晶から非単結晶に変化してしまう。すなわち、非単結晶半導体は、水素が添加されて非単結晶の一部をエピタキシャル構造としても、前記絶縁膜内の不純物が一部半導体層中に侵入して、非単結晶化されてしまう傾向にあった。そこで、この非単結晶部分にMIS-FETのチャンネル形成領域を形成すると、再結合中心の密度が高いため、電子またはホールは、単結晶内と同様な敏感性が得られないという問題を有した。

【0005】これを解決する手段としては、半導体膜を厚く形成することによって、不純物が侵入しない単結晶の領域に、たとえばMIS-FETのチャンネル形成領域を形成する。このようにして、単結晶の領域に形成されたMIS-FETのチャンネル形成領域においては、再結合中心の濃度が低いため、電子またはホールの移動度が高くなる。しかし、上記のようにすると、半導体層が厚くなり、半導体材料あるいは作製時間がかかると共に、集積度を上げることができないという問題を有した。

【0006】本発明は、以上のような課題を解決するためのもので、非単結晶半導体層にチャンネル形成領域を設けても再結合中心の密度が小さい絶縁ゲート型電界効果トランジスタの製造方法を提供することを目的とする。また、本発明は、絶縁基板上に形成された半導体層の厚さを薄く、たとえば0.02 μ mないし2 μ mと薄くして、逆方向のリーク電流を少なくし、かつその目的を十分成就するため非単結晶半導体層中の不対結合手と結合し、さらにまたは不対結合手どうしを互いに共有結合せしめ、電気的に中和するための絶縁ゲート型電界効果トランジスタの製造方法を提供することを目的とする。さらに、本発明は、低い温度において、チャンネル形成領域を形成することができる絶縁ゲート型電界効果トランジスタの製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】前記目的を達成するために、本発明における絶縁ゲート型電界効果トランジスタの製造方法は、絶縁部材（図1および図2の2、1'）上の半導体層に形成されたソース領域（図1および図2の5、6、25）およびドレイン領域（図1および図2の6、6'、24）と、前記ソース領域（5、6、25）およびドレイン領域（6、6'、24）との間に形成されたチャネル形成領域（図1および図2の4、29）と、当該チャネル形成領域（4、29）上にゲート絶縁膜（図1および図2の12、12'、22）を介して形成されたゲート電極（図1および図2の11、11'、21）とからなり、前記絶縁部材（10、40）上に水素またはハロゲン化物を含んだ非単結晶半導体層を、グロー放電法、スパッター法、減圧気相法の一つにより形成する工程と、当該非単結晶半導体層に、ゲート絶縁膜（12、12'、22）およびゲート電極（11、11'、21）を形成すると共に、前記ゲート絶縁膜（12、12'、22）下の前記非単結晶半導体層にチャネル形成領域（4、29）と、ソース領域（5、6、25）およびドレイン領域（6、6'、24）とを形成する工程と、該工程の後、前記非単結晶半導体層中に再び水素またはハロゲン化物の雰囲気中での加熱処理により、水素またはハロゲン化物を含ませる工程とから構成される。

【0008】本発明における絶縁ゲート型電界効果トランジスタの製造方法は、基板上に設けられたP型またはN型の逆導電型を示す不純物を有する非単結晶半導体層に対し、前記非単結晶半導体の形成と同時にまたは形成後、水素またはハロゲン化物を高周波エネルギーまたはマイクロ波エネルギーにより活性化させて前記非単結晶半導体層中に添加させることを特徴とする。

【0009】

【作 用】本発明は、MIS-FETのゲート絶縁物下のチャネル形成領域が、たとえば $0.02\mu\text{m}$ ないし $2\mu\text{m}$ の厚さを有する極めて薄い厚さの非単結晶半導体層よりなり、かつこの非単結晶半導体層中に、水素元素、およびハロゲン化物の内の少なくとも一つが加熱処理によって封じ込められている。その結果、上記 $0.02\mu\text{m}$ ないし $2\mu\text{m}$ の厚さに形成された非単結晶半導体は、存在し得る不対結合手等による再結合中心を水素元素、ハロゲン化物により、中和かつ消滅せしめるようにしているため、ドレイン領域とチャネル形成領域での接合部で逆方向に印加された時のリーク電流を少なくすることもできる。

【0010】しかし、上記チャネル形成領域は、絶縁物と接合しているため、絶縁物から不純物の一部が非単結晶半導体層に侵入し、エピタキシャル構造とならない。そこで、非単結晶半導体層に形成されたチャネル形成領域には、再び水素またはハロゲン化物の一つを水素また

はハロゲン化物の雰囲気中での加熱処理により封じ込めさせている。このようにして、絶縁物によって、非単結晶化されたチャネル形成領域を再びエピタキシャル構造にする。したがって、上記チャネル形成領域では、再結合中心を少なくしたため、たとえばチャネル形成領域における電子またはホール移動度がこれまで知られている単結晶の場合に等しいか、または概略等しい高速動作を行うMIS-FETが形成される。

【0011】本発明における絶縁ゲート型電界効果トランジスタの製造方法は、基板上にP型またはN型の逆導電型を示す不純物を有する非単結晶半導体層が形成される。また、前記非単結晶半導体中には、当該非単結晶半導体層を形成すると同時にまたは形成後に、水素または塩素のようなハロゲン化物が高周波エネルギーまたはマイクロ波エネルギーにより活性化させることによって添加される。

【0012】

【実施例】以下、本発明の一実施例を説明する。図1(A)はMIS-FETの縦断面図である。図1において、単結晶基板からなるシリコン半導体基板(1)上には、たとえば $0.02\mu\text{m}$ ないし $2\mu\text{m}$ の厚さの酸化珪素または窒化珪素の薄膜(2)が形成されている。すなわち、前記単結晶基板に形成されたシリコン半導体基板(1)の表面には、150 keVないし300 keVで加速された酸素イオンまたは窒素イオンが打ち込まれることにより酸化珪素または窒化珪素の薄膜(2)が得られる。この半導体基板(1)の表面に形成された酸化珪素または窒化珪素の薄膜(2)は、真空状態または水素雰囲気中で 900°C ないし 1100°C に加熱され、10分間ないし30分間アニールされる。

【0013】さらに、前記酸化珪素または窒化珪素の薄膜(2)の上面には、たとえば減圧気相法によりシリコン膜が形成される。このシリコン膜は、シラン(SiH_4)、ジクロールシラン(SiH_2Cl_2)、その他の珪化物を反応性気体として、 0.1 torr ないし 10 torr (mmHg) の圧力状態の基に、 500°C ないし 900°C の温度で行ういわゆる減圧気相法によって形成される。また、前記酸化珪素または窒化珪素の薄膜(2)の上面には、シリコン膜が、室温ないし 500°C の温度でのグロー放電法により、あるいは 500°C ないし 900°C の温度でのスパッター法により形成される。

【0014】このようにして酸化珪素または窒化珪素の薄膜(2)の上面には、たとえば $0.02\mu\text{m}$ ないし $2\mu\text{m}$ の厚さのシリコン半導体膜が形成される。かくして、シリコン半導体中に水素または塩素が添加された半導体膜が形成される。このシリコン半導体膜面は、酸化珪素または窒化珪素の薄膜(2)が純粋の SiO_2 または Si_3N_4 にあつては、多結晶であつたが、たとえばイオン注入法によって打ち込んだ酸素または窒素の量が 10^{18} cm^{-3} ないし 10^{21} cm^{-3} である場合、非単結晶を一部に含む工

ヒタキシャル構造であった。フィールド絶縁物(3)は、シリコン半導体基板(1)の上面に、 $1\mu\text{m}$ ないし $2\mu\text{m}$ の厚さに形成される。フィールド絶縁物(3)の形成は、本出願人が提案した特公昭52-20312号公報、あるいは特公昭50-37500号公報に記載された方法に基づいて実施された。フィールド絶縁物(3)の形成後、ゲート絶縁膜(12)は、 100\AA ないし 1000\AA の厚さに形成される。

【0015】また、必要に応じてソース領域(5)およびドレイン領域(6)には、シリコン半導体のコンタクト(7)が形成される。ゲート絶縁膜(12)の上には、セルフアライン方式によりゲート電極(11)が形成される。ゲート電極(11)は、たとえば減圧CVD法により不純物を高濃度に添加した半導体膜とする。上記のようにして構成されるMIS-FETを覆う、たとえば酸化珪素膜からなるオーバーコート(10)は、 $0.5\mu\text{m}$ ないし $2\mu\text{m}$ の厚さに形成される。この時オーバーコート(10)の上面は、平坦面とするために、酸化珪素の代わりにポリイミド系有機樹脂等を用いてもよい。オーバーコート(10)の膜には、穴(8)が開けられ、この穴(8)を介して、たとえばアルミニウム電極のリード(8')が形成される。

【0016】チャネル形成領域(4)がP型であって、かつ不純物濃度が 10^{14}cm^{-3} ないし 10^{17}cm^{-3} の低濃度である場合、ソース領域(5)およびドレイン領域(6)は、 10^{18}cm^{-3} ないし 10^{21}cm^{-3} のN⁺型の不純物、たとえばリン、砒素により形成された。ゲート電極(11)は、モリブデン、タングステン等の金属膜によって形成することができる。また、ゲート電極(11)は、半導体膜に 10^{19}cm^{-3} 以上の濃度でリン等を混入して、低抵抗の半導体リードとしてもよい。電子またはホールキャリアは、単結晶では一般に構造敏感性をもつことが知られていた。

【0017】しかし、本出願人は、かかる構造敏感性が結晶構造に起因するのではなく、その中に存在する再結合中心の反応に起因するものであることを発見した。そこで、この敏感性を与える再結合中心を中和消滅させるために、本実施例では、チャネル形成領域(4)に、再びたとえば水素またはハロゲン化物を0.1モルパーセント(原子%)、特に5モルパーセントないし20モルパーセント封じ込めた。上記水素またはハロゲン化物のチャネル形成領域(4)への封じ込めは、図1(A)の構造が出来上がった後に行った。たとえば、水素が封じ込められたチャネル形成領域(4)は、キャリアのライフタイムが 10^3 倍ないし 10^6 倍になった。C-Vダイオードによっても、表面単位密度は、 $Q_{ss} \approx 10^{10}\text{cm}^{-2}$ となり、ほぼ理論通りのゲート容量対ゲート電圧特性を示していた。

【0018】水素元素、あるいは塩素を含むハロゲン化物をチャネル形成領域(4)に封じ込める際の化学的励起は、以下の方法に従った。すなわち、横型の直径5cmないし20cm、特に15cm(長さ2m)の石英管の外周

には、冷却水を通す銅管がスパイラル状に巻回され、この銅管に高周波電流を流すことにより高周波誘導炉が構成される。当該高周波誘導炉に使用される周波数は、1MHzないし20MHzとした。さらに、この高周波誘導炉の外側には、抵抗発熱体が高周波誘導炉の電磁波に対して直角になるように配置された。高周波誘導炉は、30kWないし100kWのものを用いた。上記石英管からなる反応管の中には、図1(A)に示す半導体装置が形成された基板、たとえばシリコン基板が5枚ないし50枚ポートに林立させる形で装填された。

【0019】さらに、前記反応管の内部は、 10^{-3}mmHg の圧力まで減圧された。反応管には、水素が導入された後、その内部の圧力を常圧付近にまで戻した。さらに、今一度反応管内部の圧力は、 10^{-2}mmHg ないし 10^{-3}mmHg にまで真空にし、その後 10^{-1}mmHg ないし 10mmHg とした。反応系は、たえず一方より水素、ハロゲン化物を導入し、他方よりロータリーポンプ等により真空引きを連続的に行った。チャネル形成領域(4)における水素元素、あるいはハロゲン化物の封じ込めは、抵抗加熱炉により半導体装置が形成された基板を300℃ないし500℃に加熱した状態で、前記高周波誘導炉を電圧励起させた。さらに、温度が300℃以上であると水素原子、ハロゲンの原子は、上記チャネル形成領域(4)へ自由に侵入する侵入型原子(インタースティシアルアトム)のためチャネル形成領域(4)内を自由に動きまわることができる。このため、水素元素、およびハロゲン化物は、チャネル形成領域(4)中に十分な平衡状態の濃度にまで封じ込められた。

【0020】この後、前記高周波誘導炉の温度は、室温にまで下げられた。半導体装置にアルミニウム等の比較的低い温度で合金化または溶解する材料がある場合の加熱温度は、500℃が上限であった。しかし、半導体装置のチャネル形成領域(4)に入った水素元素、塩素元素等は、300℃ないし500℃の温度で半導体中の原子との結合がはずれ水素またはハロゲン化物として外に遊離され易い。このため、高温における誘導キューリングは、温度を室温にまで下げた後も、誘導キューリングのための電気エネルギーを加え続ける必要がある。さらに、反応容器内の圧力は、グロー放電その他の高周波誘導励起または誘導キューリングが可能な範囲で高い方が好ましい。そのため、本実施例の効果は、反応容器内の圧力が 10^{-6}mmHg ないし 10^{-5}mmHg でも、その効果が観察された。しかし、水素元素等の封じ込め量を0.1モル%またはそれ以上とするためには、反応容器内の圧力は、0.01mmHg以上特100mmHg必要であった。

【0021】この周波数は、マイクロ波であってもよい。特に、上記周波数が50MHzないし1000MHzであった場合は、反応容器内の圧力が常圧であっても、その効果は著しくあり、好ましかった。その場合、反応容器は、導波管とすると好ましい。TEMモードを作る時、導波管

の大きさは、必然的に決められてしまうため、電子レンジのようにマイクロ波をキューリング用オープン内に輻射して実施すると好ましい。誘導キューリングを行っている際、反応容器の圧力を昇圧または降圧してもよい。高温では、外気と半導体中の気相-固相での平衡状態が大きく、半導体中に多量に添加材を添加できる。このため高温にした状態で誘導キューリングをしつつ急冷することは、徐冷に比べて効果が大きかった。

【0022】本発明方法を図1のような半導体装置に実施したが、かかる励起ガスの封じ込め量の検定は、半導体にかかる気体を混入し、その基板を真空中で加熱し、かかる気体を放出させてその量を定量化するいわゆるガスクロマトグラフ、またはオージェ分光法により定量化した。その場合、励起ガスは、0.1モル%特に1モル%ないし20モル%封じ込められていることが判明した。もちろん、励起ガスは、20モル%以上30モル%ないし200モル%を加えることがさらに好ましい。しかし、上記の場合は、一般に、飽和傾向が見られた。

【0023】以下、本発明の実施例においても、これまで記載したと同様の方法によって誘導キューリングを行った。図1(B)を参照しつつ本発明の他の実施例を説明する。アルミナ、サファイア、スピネル等の絶縁基板(1')上には、半導体膜が、たとえば0.02 μm ないし2 μm の厚さで形成される。また、上記半導体膜には、不純物を導入したチャネル形成領域(4)、ソース領域(5)、ドレイン領域(6)が形成され、上記領域以外にフィールド絶縁物(3)が形成されている。上記半導体膜上には、半導体ダイレクトコンタクト(7)、セルフアラインゲート電極(11)、ゲート絶縁膜(12)が形成された後、減圧CVD法によって酸化シリコン膜がオーバーコート(10)として形成されている。

【0024】このような構成の半導体装置において、絶縁基板(1')のアルミナ成分と半導体とが接合する部分は、非単結晶状態を呈した不完全層(9)となる。したがって、上記不完全層(9)は、再結合中心の濃度が高く、チャネル形成領域(4)として適さない状態である。しかし、本実施例のようにチャネル形成領域(4)の厚さを、たとえば0.01 μm ないし0.5 μm にしても、半導体装置を完成またはほとんど完成させた後、前述の水素元素、あるいはハロゲン元素を導入する励起処理を行うならば、前記不完全層(9)は、再結合中心の密度を1/100ないし1/10000に減少できた。この程度の不完全層(9)は、特性的に、単結晶と同様の良好なものとして、取り扱うことができる。前記励起処理を行った後のチャネル形成領域(4)は、ゲート絶縁膜(12)との間に存在する界面単位、またはゲート絶縁膜(12)中に存在する不対結合手を中和する効果が著しくあり、MIS-FETとしてきわめて好ましい。

【0025】図2(A)は本発明の他の実施例を示す縦断面図である。図2(A)において、第1のMIS-FET

の上側または上方面には、第2のMIS-FETが設けられているため、これまでより2倍ないし4倍の高密度の集積回路(LSI、VLSI)となる。以下、図2(A)にしたがって他の実施例を説明する。図2(A)において、半導体基板(1)上には、酸化珪素のような絶縁膜(2)が0.1 μm ないし2 μm の厚さに形成されている。この場合、前記半導体基板(1)は、半導体である必要は必ずしもない。前記絶縁膜(2)の上面には、減圧CVD法を用いて半導体シリコン膜が、たとえば0.02 μm ないし2 μm の厚さに形成されている。前記半導体シリコン膜は、P型でその不純物濃度を 10^{14}cm^{-3} ないし 10^{17}cm^{-3} とした。

【0026】また、この半導体シリコン膜は、窒化珪素、酸化珪素の二重膜をマスクとした選択酸化法によりフィールド絶縁物(3)が半導体シリコン膜に埋設されるように形成された。この際、前記フィールド絶縁物(3)と半導体シリコン膜とは、概略同一平面になるようにフィールド絶縁物(3)をエッチングしてもよく、また珪化前に半導体シリコン膜の一部を除去しておいてもよい。さらに、フィールド絶縁物(3)およびチャネル形成領域(4)、ソース領域(5)、ドレイン領域(6)、の上には、ゲート絶縁膜(12)およびゲート絶縁膜(12')が100 \AA ないし1000 \AA の厚さで形成された。これらのゲート絶縁膜(12)、(12')は、半導体シリコン膜の酸化による熱酸化膜であっても、また酸化物とリンガラス、アルミナ、窒化珪素との二重構造であっても、またこのゲート絶縁物中にクラスタまたは膜を半導体または金属で形成する不揮発性メモリとしてもよい。

【0027】ゲート絶縁膜(12)、(12')の形成後、その上面には、第2の半導体シリコン膜が、たとえば0.02 μm ないし2 μm の厚さに形成された。そして、上記第2の半導体シリコン膜には、第1のMIS-FETのゲート電極(11)と、第2のMIS-FETのソース領域(25)と、第2のMIS-FETのドレイン領域(24)と、第2のMIS-FETのチャネル形成領域(29)とが選択的に形成される。第1のMIS-FETのゲート電極(11)をマスクとして、第1のMIS-FETのソース領域(5)、ドレイン領域(6)とは、イオン注入法により形成された。また、これらの領域は、イオン注入法の代わりに熱拡散法を用いて形成することもできる。

【0028】なお、第1のMIS-FETのゲート電極(11)は、図示されていないフィールド絶縁物(3)上を経て第2のMIS-FETのソース領域(25)に連結されている。第2のMIS-FETは、第3の半導体層を形成した後、ゲート電極(21)とその下のゲート絶縁膜(22)とをマスクとして、イオン注入法または熱拡散法を利用してソース領域(25)、ドレイン領域(24)が形成される。図2(A)に示す第2のMIS-FETは、第1のMIS-FETの斜め上方に設けられたものであるが、これらの配置、大きさおよびそれぞれの配線等を自由に設計することができる。さらに、図2(B)に示すように、抵抗、

キャパシタを同時に同一基板に作り、また保護ダイオード等を作ってもよい。

【0029】図2(B)において、単結晶半導体基板(1)は、選択酸化によりフィールド絶縁物(3)が $0.5\mu\text{m}$ ないし $2\mu\text{m}$ の厚さに形成されている。さらに、上記半導体基板(1)には、ゲート電極(11)、(11')が設けられている。そして、このゲート電極(11)、(11')をマスクとして、ソース領域(5)、ドレイン領域(6)に 10^{19}cm^{-3} ないし 10^{21}cm^{-3} の濃度のボロンまたはリンを混入させてPチャネルまたはNチャネルMIS-FETが形成される。ドレイン領域(6)は、第1のMIS-FETのドレイン領域であり、第2のMIS-FETのソース領域として作用させている。さらに、これらのゲート電極(11)、(11')の上面には、絶縁膜からなるオーバーコート(10)が $0.5\mu\text{m}$ ないし $2\mu\text{m}$ の厚さで形成される。オーバーコート(10)は、平坦に形成され、この上側に第3のMIS-FETが形成される。すなわち、オーバーコート(10)の上面には、非単結晶半導体が、たとえば $0.02\mu\text{m}$ ないし $2\mu\text{m}$ の厚さで形成される。この非単結晶半導体の不純物濃度は、 10^{14}cm^{-3} ないし 10^{17}cm^{-3} でP-型とし、チャネル形成領域(29)が動作状態で十分チャネル形成領域として働くことを条件とする。

【0030】さらに、フォトマスクにより非単結晶半導体にN-型不純物を導入し、第3のMIS-FETのソース領域兼の抵抗(37)が形成される。そして、このソース領域兼の抵抗(37)には、リード(38)が接続される。ドレイン領域(24)は、キャパシタの下側電極(34)に連結されている。そして、これらの領域の上面には、第3のMIS-FETのゲート絶縁膜(35)が形成され、このゲート絶縁膜(35)がキャパシタの誘電体となる。さらに、このゲート絶縁膜(35)の上面には、ゲート電極(21)およびキャパシタの上側電極(36)が形成される。本実施例における各電極等は、シリコンが用いられたが、アルミニウムでも良い。第3のMIS-FETの基板側の電極は、基板にバイアスが印加されるように第1のMIS-FETのゲート電極(11)に連結されている。ゲート電極(11)は、実質的に二つのMIS-FETのチャネル状態を制御できるようにしてある。もちろんこのチャネル形成領域(29)とゲート電極(11)との間にゲート絶縁物が形成されるならば、第3のMIS-FETは、下側と上側にゲート電極を有するダブルゲートMIS-FETとなる。もちろん上側のゲート電極を除去してもよい。

【0031】すなわち、一つのゲートで二つのMIS-FETを制御したり、また二つのゲートで一つのMIS-FETを制御したりすることができる。加えて、同一基板にリードのみでなく、MIS-FETのようなアクティブエレメントまたは抵抗、キャパシタ、さらにダイオードを設けることができる。加えて、これら複数のエレメントを集積化するならば、図1(A)、(B)に示した一層のみのエレメントの形成に対し、その2倍ないし10

倍の密度とすることが可能である。図2(A)、(B)に示す実施例は、図1(A)、(B)図示実施例と同様に、半導体装置が完成、または大部分完成した後に誘導キュリングを行う。このように誘導キュリングによって、水素元素、不活性元素、あるいはハロゲン元素を含む非単結晶半導体は、その再結合中心が除去されるだけでなく、非単結晶半導体層と絶縁物、または半導体層と絶縁物との界面に存在する界面準位を、不活性気体で相殺し、水素元素により中和できる。

【0032】以上の説明において、これら図1(A)、(B)、図2(A)、(B)の半導体装置がキュアされた後、窒化珪素をプラズマ法でオーバーコート(40)が形成される。窒化珪素は、水素元素、不活性元素、あるいはハロゲン元素等の原子に対してもマスク作用を有するため、一度半導体装置内に封じ込められた水素元素、不活性元素、あるいはハロゲン元素等を封じて外に出さないようにする効果がある。そのため、前記窒化珪素のオーバーコート(40)は、外部からのナトリウム等の汚染防止以外に、信頼性を向上させる。加えて、半導体装置は、単にMIS-FETに限定されることなく、それらを集積化したIC、LSIであっても同様であり、すべての半導体装置に対して有効である。

【0033】

【発明の効果】本発明によれば、絶縁基板あるいは各素子間を絶縁する絶縁膜上に形成されたMIS-FETのチャネル形成領域が非単結晶であっても、再度水素またはハロゲン化合物を水素またはハロゲン化合物の雰囲気中で加熱処理により水素またはハロゲンを封じ込めるため、再結合中心の密度を低くすることができる。すなわち、再度水素またはハロゲン化合物を封じ込められた半導体層は、その厚さを薄くしても、絶縁部材から侵入する不純物により非単結晶化されずに、チャネル形成領域における電子またはホールが単結晶内と同様に敏感である。本発明によれば、MIS-FETのチャネル形成領域の厚さを薄くしても、水素元素、およびハロゲン化合物を過剰に添加して封じ込めたので、再結合中心の濃度を低くできるため、電子またはホールの移動度がトランジスタを同一基板に複数個形成し、高集積度を上げることができる。

【0034】本発明によれば、逆導電型を示す不純物を有する非単結晶半導体に対し、当該非単結晶半導体の形成と同時にまたは形成後に水素またはハロゲン化合物を高周波エネルギーまたはマイクロ波エネルギーにより活性化して非単結晶半導体層中に封じ込めたので、再結合中心の濃度が低く、電子またはホールの移動度が高いMIS-FETのチャネル形成領域を形成できる。

【図面の簡単な説明】

【図1】(A)、(B)は本発明の一実施例を示す縦断面図である。

【図2】(A)、(B)は本発明の他の実施例を示す縦断面

(7)

12

11

図である。

【符号の説明】

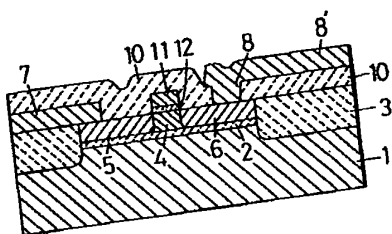
- 1... 半導体基板
- 1'... 絶縁基板
- 2... 薄膜
- 3... フィールド絶縁物
- 4... チャネル形成領域
- 5... ソース領域

- 6... ドレイン領域
- 7... コンタクト
- 8... 穴
- 8'... リード
- 9... 不完全層
- 10... オーバーコート
- 11... ゲート電極
- 12... ゲート絶縁膜

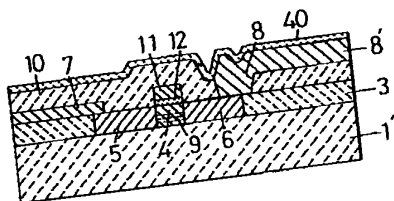
【図2】

【図1】

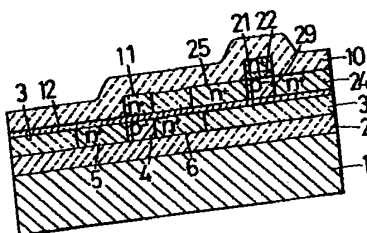
(A)



(B)



(A)



(B)

